PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330082
(43)Date of publication of application : 22.12.1997

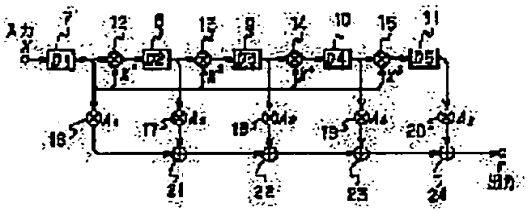
(51)Int.Cl. G10H 1/16

(21)Application number : 08-171663
(22)Date of filing : 12.06.1996

(71)Applicant : KAWAI MUSICAL INSTR MFG CO LTD
(72)Inventor : SUDA MASAYUKI

(54) DISTORTION DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To allow to obtain a smooth and arbitrary nonlinear input/output characteristic with a simple constitution by forming a circuit which satisfies a specific equation between input X and output Y.
SOLUTION: An X is inputted to multipliers 12-15 connected in series and the inputted Xs are multiplied by X by the multipliers 12-15. Then the output values of the multipliers 12-15 are respectively multiplied by respective coefficients A1-A5 in other multipliers 16-20, and these multiplied values and added using adders 21-24 to obtain an output Y. D17 to D511 store the input data or the values calculated at their proceeding stages. In this circuit composed of DSPs(digital signal processor), the output Y is obtained as A1.X1+A2.X2+ A3.X3+A4.X4+A5.X5, but when the number of multipliers 12-15 and of address 21-24 is n-1 and the number of multipliers 16-20 is n, the output Y of the circuit is given by A1.X1+A2.X2+A3.X3+A4.X4+A5.X5+...+An.Xn.



$$Y=\sum_{n=1}^{n} An \cdot X^n$$

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平９－３３００８２

(43)公開日　平成９年（１９９７）１２月２２日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
G10H 1/16			G10H 1/16	

審査請求　未請求　請求項の数１　ＦＤ　（全４頁）

(21)出願番号　特願平８－１７１６６３

(22)出願日　平成８年（１９９６）６月１２日

(71)出願人　０００００１４１０
株式会社河合楽器製作所
静岡県浜松市寺島町２００番地

(72)発明者　須田　正行
静岡県浜松市寺島町２００番地　株式会社河合楽器製作所内

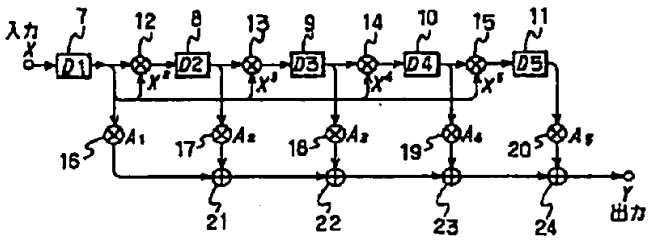
(74)代理人　弁理士　佐藤　英世　（外１名）

(54)【発明の名称】ディストーション装置

(57)【要約】

【課題】　簡便な構成ながらも、滑らかで且つ任意の非線形入出力特性が得られるディストーション装置を提供せんとするものである。

【解決手段】　入力Ｘに対して乗算器１２～１５を直列に接続し、更に各乗算器１２～１５に入力Ｘを乗算させ、各乗算器１２～１５の出力値に別の乗算器１６～２０で係数Ａ１～Ａ５を各々乗算してこれらの乗算値を加算器２１～２４で加算させて、出力Ｙを得る。



1

【特許請求の範囲】

【請求項１】　入力Ｘに対し得られる出力をＹとした場合に、下式数１を満足する回路を構成することを特徴とするディストーション装置。

【数１】

$$Y=\sum_{k=1}^{n} An \cdot X^{n}$$

但しＡｎは係数

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、滑らかで且つ任意の非線形入出力特性が得られるディストーション装置に関する。

【０００２】

【従来の技術】出力信号を故意に歪ませてディストーション効果を得るエフェクタとして、近年デジタル処理によるものが用いられており、図５はそのようなディストーション装置の基本回路構成を示している。該装置では、入力Ｘに対し乗算器３０で係数Ａ（Ａ≧１）を乗算し、次のオーバーフローリミッタ４０で前記乗算値がオーバーフローした場合（乗算値が１を超えた場合又は－１を下回った場合）に出力値として取り得る最大値乃至最小値（１又は－１）を出力し、更に該出力値に乗算器３１で係数Ｂ（Ｂ≦１）を乗算したうえ、外部に出力している。

【０００３】また図６は上記図５の回路を複数並列に接続した回路構成によって、折れ線による非線形入出力特性が得られるようにしたディストーション装置の構成を示している。

【０００４】

【発明が解決しようとする課題】上記図５に示した乗算器のオーバーフローリミットを利用して入力波形をクリップする構成では、図７の入出力特性に示されるように、急激なクリップとなるため、心地良いディストーション効果を得ることができない。これに対し、図６に示した折れ線による非線形入出力特性が得られるディストーション装置では、図８の入出力特性に示されるように、より良いディストーション効果を得ることが可能となる。

【０００５】しかし該回路構成では、多数の折れ線を必要とするため、回路構成が大きくなったり（並列接続する回路数が増大する）、デジタルシグナルプロセッサを用いて該回路構成を実現しようとすると、プログラムのステップ数が多くなって、効率が悪くなるという問題があり、入出力特性を滑らかにしようとすればする程、その傾向が顕著になる。また何れの構成も、図７及び図８の入出力特性に示されるように、得られる出力波形が正と負でほぼ同形になり、任意の非線形入出力特性を得ることは困難である。

【０００６】本発明は従来技術の以上のような問題に鑑

2

み創案されたもので、簡便な構成ながらも、滑らかで且つ任意の非線形入出力特性が得られるディストーション装置を提供せんとするものである。

【０００７】

【課題を解決するための手段】そのため本発明のディストーション装置は、入力Ｘに対し得られる出力をＹとした場合に、下式数１を満足する回路を構成することを基本的特徴としている。

【０００８】

【数１】

【０００９】

【作用】上記構成では、後述するように、非常に簡単な回路構成でありながら、得られる入出力特性は、折れ線によるものではなく曲線によるものであるため、非常に滑らかになる。しかも任意の非線形入出力特性のものを得ることが可能になる。

【００１０】

【発明の実施の形態】本発明の実施形態の構成の一例を以下説明する。図１は本発明に係るディストーション装置の構成を有するエフェクタの概略図を、また図２は該ディストーション装置を構成するＤＳＰ（デジタルシグナルプロセッサ）１内の機能ブロック図を各示している。

【００１１】図１のエフェクタは、デジタル信号からなる入力ＸをＤＳＰ１に入力してディストーション効果を付加し、Ｄ／Ａコンバータ４でアナログ信号に変換して、アンプ５で増幅した後、スピーカ６で外部に楽音を出力する。同図中２は、コントロールパネル３からの指示に基づき前記ＤＳＰ１に対しプログラムや係数を出力するＣＰＵである。

【００１２】図２のＤＳＰ１が使用される本発明のディストーション装置の構成では、入力Ｘに対して乗算器１２～１５を直列に接続し、更に各乗算器１２～１５に入力Ｘを乗算させ、各乗算器１２～１５の出力値に別の乗算器１６～２０で係数A_1～A_5を各々乗算してこれらの乗算値を加算器２１～２４で加算させて、出力Ｙを得るもので、もちろん乗算器１２～１５及び１６～２０、加算器２１～２４の数を更に増やし、これらの乗算・加算を累積的に行わしめても良い。なお、７～１１で示すＤ$_1$～Ｄ$_5$は、入力データ或いは前段で演算した演算値をストアするメモリである。

【００１３】ＤＳＰ１で構成された上記回路では、入力Ｘに対して出力Ｙが、$A_1 \cdot X^1 + A_2 \cdot X^2 + A_3 \cdot X^3 + A_4 \cdot X^4 + A_5 \cdot X^5$となって得られるが、上述のように乗算器・加算器の数を増やし、乗算器１２～１５・加算器２１～２４がｎ－１個、乗算器１６～２０がｎ個となった場合は、$A_1 \cdot X^1 + A_2 \cdot X^2 + A_3 \cdot X^3 + A_4 \cdot X^4 + A_5 \cdot X^5 + \cdots\cdots + An \cdot X^n$の出力Ｙが得られ、下式数１を満足する回路構成となる。

【００１４】

3

【数１】

【００１５】上記回路構成は非常に簡単な構成であり、ＤＳＰで構成する限り、現実的には５次程度で十分なディストーション効果が得られるので、少ないステップ数で構成することが可能となる。しかも各係数Ａ₁乃至Ａｎを自由に設定することで、任意の非線形出力が得られることになる。図３は入力Ｘの乗数が奇数のものを加算して出力Ｙが得られた場合（即ちＡ₁、Ａ₃、……など係数Ａの引数ｎが偶数のものを０として出力Ｙが得られた場合）の特性を示しており、点対称の滑らかな曲線で構成されていることが分かる。また図４は入力Ｘの乗数が偶数のものも加算して出力Ｙが得られた場合の特性を示しており、滑らかな曲線で構成されると共に、＋側と－側で非対称の特性が得られていることが分かる（真空管を使って作成された偶数倍音を多く含む構成の場合と同様な＋側と－側で非対称の特性のディストーション効果を作ろうとする場合に有効）。

【００１６】

【発明の効果】本発明のディストーション装置の構成によれば、簡便な構成ながらも、滑らかで且つ任意の非線形入出力特性が得られるようになる。特にデジタルシグナルプロセッサで構成する場合は、少ないステップ数でも十分なディストーション効果が得られ、また係数の自由な設定により種々の非線形入出力特性のものが得られるため、これまでにないディストーション効果が得られることになる。

【図面の簡単な説明】

4

【図１】本発明に係るディストーション装置の構成を有するエフェクタの概略図である。

【図２】上記ディストーション装置を構成するＤＳＰ内の機能ブロック図である。

【図３】入力Ｘの乗数が奇数のものを加算して出力Ｙが得られた場合の非線形入出力特性を示すグラフである。

【図４】入力Ｘの乗数が偶数のものを加算して出力Ｙが得られた場合の非線形入出力特性を示すグラフである。

【図５】従来のディストーション装置の基本回路構成を示す機能ブロック図である。

【図６】上記回路を複数並列に接続した改良型のディストーション装置の構成を示す機能ブロック図である。

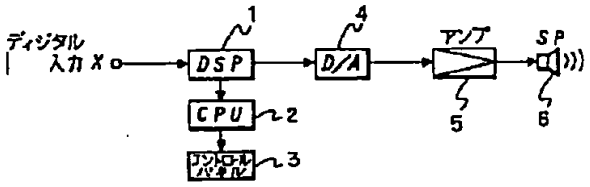
【図７】上記従来型のディストーション装置の構成の場合の入出力特性を示すグラフである。

【図８】上記改良型のディストーション装置の構成の場合の入出力特性を示すグラフである。

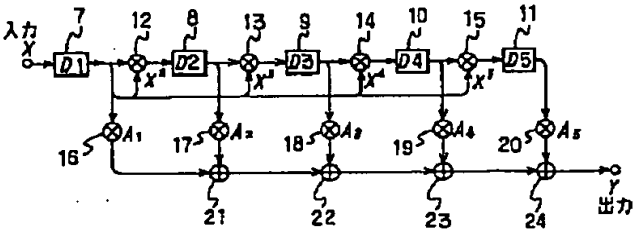
【符号の説明】

1	ＤＳＰ
2	ＣＰＵ
3	コントロールパネル
4	Ｄ／Ａコンバータ
5	アンプ
6	スピーカ
７～１１	メモリ
１２～２０、３０～３７	乗算器
２１～２４、３８、３９	加算器
４０～４３	オーバーフローリミッタ

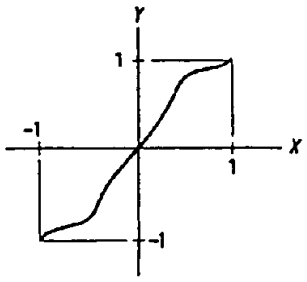
【図１】



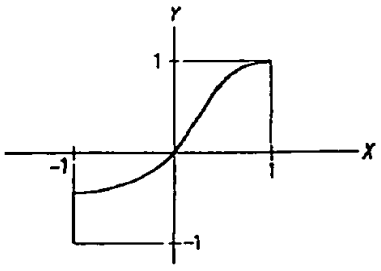
【図２】



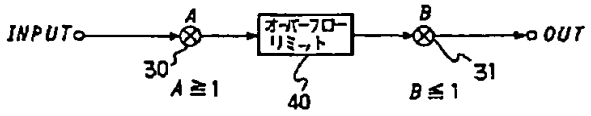
【図３】



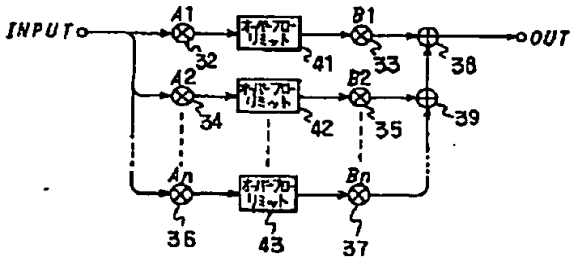
【図４】



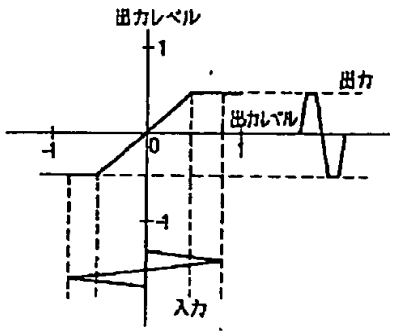
【図５】



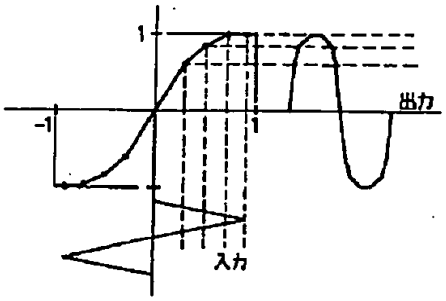
【図６】


INPUT
A1
32
オーバーフロー
リミット
41
B1
33
38
OUT
A2
34
42
B2
35
39
An
36
43
Bn
37

【図７】


出力レベル
1
出力
出力レベル
-1
0
1
-1
入力

【図８】


1
出力
-1
1
入力